

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05020352

(43)Date of publication of application: 29.01.1993

(51)Int.Cl.

G06F 15/347

(21)Application number: 03198603

(71)Applicant:

NIPPON STEEL CORP

(22)Date of filing: 12.07.1991

(72)Inventor:

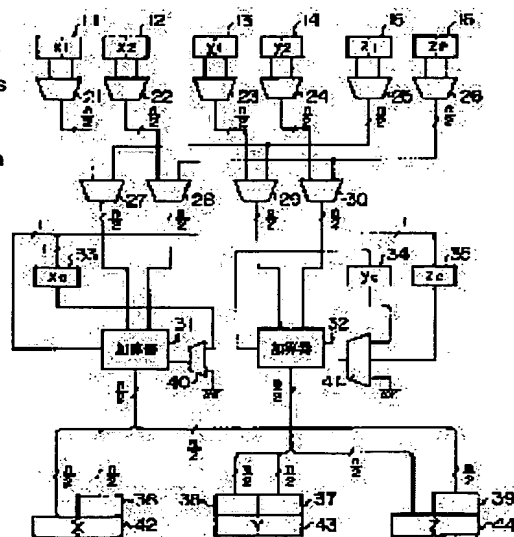
TANAKA ATSUMI

(54) ADDING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the area for making of a IC and to perform the processing at a high speed by using an adding means, which mutually adds $n/2$ -bit data, to add lower $n/2$ bits of respective components of vector quantities and adding upper $n/2$ bits of respective components thereafter.

CONSTITUTION: Upper or lower $n/2$ bits are selected from registers 11 to 16, where respective components of two vector quantities each of which has an n -bit component are held, by upper/lower changeover selectors 21 to 26. Addition input selectors 27 to 30 select $n/2$ -bit components inputted to adders 31 and 32. Lower $n/2$ bits are added by adders 31 and 32, and next, upper $n/2$ bits are added in consideration of carry of the addition result of lower $n/2$ bits. That is, two vectors (X_1, Y_1, Z_1) and (X_2, Y_2, Z_2) having n -bit components are added to obtain a vector quantity (X, Y, Z) where $X=X_1+X_2$, $Y=Y_1+Y_2$, and $Z=Z_1+Z_2$ are true.



LEGAL STATUS

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-20352

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

G 0 6 F 15/347

識別記号

庁内整理番号

F I

技術表示箇所

J 6798-5L

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-198603

(22)出願日 平成3年(1991)7月12日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 田中 篤美

神奈川県相模原市淵野辺5丁目10番1号

新日本製鐵株式会社第2技術研究所内

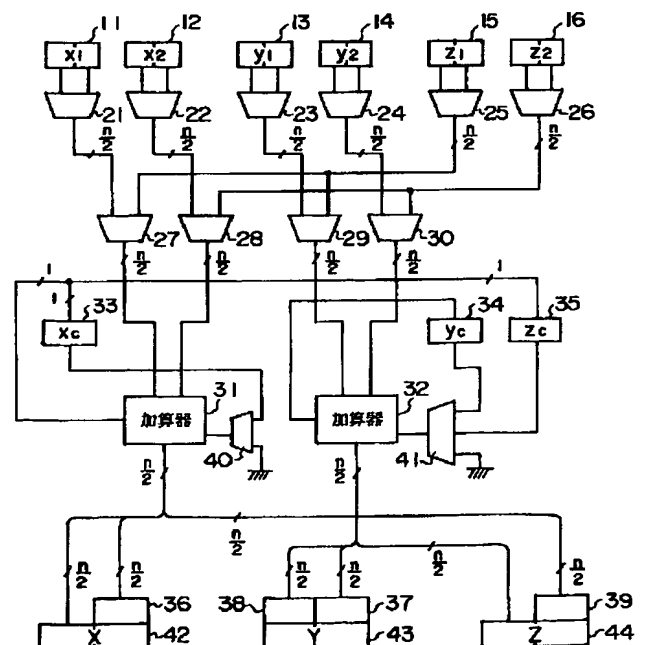
(74)代理人 弁理士 半田 昌男

(54)【発明の名称】 加算回路

(57)【要約】

【目的】 簡易な回路構成によりIC化した際の面積を小さくすることができ、しかもベクトル量を高速演算することができる加算回路を提供する。

【構成】 各成分が n ビットからなる2つのベクトル量の各成分を保持するレジスタ11～16から上位・下位切換セクタ21～26により上位又は下位の $n/2$ ビットをセレクトする。加算入力セクタ27～30は各加算器31、32に入力する $n/2$ ビットの成分をセレクトする。加算器31、32により、先ず下位側 $n/2$ ビットの加算を行い、次に下位側 $n/2$ ビットの加算結果のキャリーを考慮して上位側 $n/2$ ビットの加算を行う。



【特許請求の範囲】

【請求項1】 各成分が n ビットで表現される第1のベクトル量と第2のベクトル量を前記各成分毎に加算することにより第3のベクトル量を求める加算回路において、
 $n/2$ ビットどおしのデータを加算する複数の加算手段と、
 該複数の加算手段で、先ず前記第1および第2のベクトル量の各成分の下位側 $n/2$ ビットどおしを加算し、次に下位側 $n/2$ ビットどうしの演算結果のキャリーを考慮して前記第1および第2のベクトル量の上位側 $n/2$ ビットどおしを加算するようにデータを制御するデータ制御手段とを備えたことを特徴とする加算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各成分が多数のビット(n ビット)で表現されるベクトル量の各成分どおしを加算して新たなベクトル量を求める加算回路に関するものである。

【0002】

【従来の技術】ベクトル量どおしを加算して新たなベクトル量を求めるアルゴリズムをハードウェアで構成した加算回路が従来から用いられている。図3はそのような従来の加算回路の一例を略示した図である。ここでは、各成分が n ビットで表現される。

$$A = (x_1, y_1, z_1) \cdots (1)$$

なるベクトル量と、各成分がやはり n ビットで表現される。

$$B = (x_2, y_2, z_2) \cdots (2)$$

なるベクトル量とを加算して、

$$C = (X, Y, Z) \cdots (3)$$

但し、 $X = x_1 + x_2$

$$Y = y_1 + y_2$$

$$Z = z_1 + z_2$$

なる新たなベクトル量 C を求めるために、 n ビットのデータどおしを加算する3つの加算器51, 52, 53を備え、各加算器51, 52, 53でそれぞれ $x_1 + x_2$, $y_1 + y_2$, $z_1 + z_2$ なる加算演算を並行して行うように構成されている。これにより、各成分毎の加算が行われ、新たなベクトル量 C が求められる。

【0003】

【発明が解決しようとする課題】上記加算回路は、例えば n ビットの加算器を1個だけ備えて $x_1 + x_2$, $y_1 + y_2$, $z_1 + z_2$ の各演算を順番に行う加算回路と比べ高速に演算を行うことができるという利点を有するが、その一方で加算器が3個必要となり回路構成が非常に複雑となりIC化した際に大面積の加算回路となってしまうという問題がある。

【0004】また、ベクトルの各成分が $n = 32$ ビットもしくは $n = 64$ ビット等の多数のビットで表現される

数値である場合、加算演算の際のキャリーの伝播速度が、単にビット数が多いことの比率と比べさらにずっと遅くなり、このため回路構成を複雑にして大面積のICの加算回路とした割にはそれほど高速処理とはならないという問題もある。

【0005】本発明は上記事情に基づいてなされたものであり、簡易な回路構成によりIC化した際の面積を小さくすることができ、しかもベクトル量を高速演算することができる加算回路を提供することを目的とするものである。

【0006】

【課題を解決するための手段】上記目的を達成するために本発明の加算回路は、各成分が n ビットで表現される第1のベクトル量と第2のベクトル量を前記各成分毎に加算することにより第3のベクトル量を求める加算回路において、 $n/2$ ビットどおしのデータを加算する複数の加算手段と、該複数の加算手段で、先ず前記第1および第2のベクトル量の各成分の下位側 $n/2$ ビットどおしを加算し、次に下位側 $n/2$ ビットどうしの演算結果のキャリーを考慮して前記第1および第2のベクトル量の上位側 $n/2$ ビットどおしを加算するようにデータを制御するデータ制御手段とを備えたことを特徴とするものである。

【0007】

【作用】本発明の加算回路は、 $n/2$ ビットどおしの加算を行う複数の加算手段を備え n ビットで表現される各成分を上位側 $n/2$ ビットと下位側 $n/2$ ビットとに分け、先ず下位側 $n/2$ ビットの加算を行い、次に上位側 $n/2$ ビットの加算を行うようにしたため、加算演算の際のキャリーの伝播速度がかなり速くなり、したがって高速に演算処理を行うことができる。また、本発明の加算回路は、後述する実施例に示すように、従来のものに比べて加算手段の数が少なく済むので、IC化した際に従来のものに比べて小面積で足りる。

【0008】

【実施例】図1は本発明の一実施例である加算回路のブロック図、図2はそのタイムチャートである。本実施例の加算回路は、各成分が n ビットからなる2つのベクトル量の各成分を保持するレジスタ11~16と、レジスタ11~16に保持された n ビットの成分のうちの上位又は下位の $n/2$ ビットをセレクトする上位・下位切替セレクトア21~26と、各加算器31, 32に入力する $n/2$ ビットの成分をセレクトする加算入力セレクトア27~30と、加算入力セレクトア27~30によってセレクトされた $n/2$ ビットの成分を加算する加算器31, 32と、加算結果のキャリー信号を保持するキャリーレジスタ33~35と、 $n/2$ ビットの加算結果を一時的に保持する位相合わせレジスタ36~39と、加算結果となるベクトル量の各 n ビットの成分を保持するレジスタ42~44とからなるものである。また、本実施例の

加算回路は、前述した従来例と同様に各成分が n ビットからなる2つのベクトル量 $A = (x_1, y_1, z_1)$ と $B = (x_2, y_2, z_2)$ とを加算してベクトル量 $C = (X, Y, Z)$ (但し $X = x_1 + x_2$, $Y = y_1 + y_2$, $Z = z_1 + z_2$)を求めるものである。

【0009】次に、本実施例の加算回路の動作について説明する。先ず、図2に示すクロック0のタイミングでレジスタ11～16に各成分 $x_1, x_2, y_1, y_2, z_1, z_2$ が入力され保持される。これら各成分はそれぞれ n ビットで表現されている。また、それとともに上位・下位切替セクタ21～26により各レジスタ11～16の下位側 $n/2$ がセレクトされる。

【0010】また、クロック0のタイミングでは加算入力セクタ27, 28ではそれぞれ x_1, x_2 の下位側 $n/2$ ビットがセレクトされ、加算入力セクタ29, 30ではそれぞれ y_1, y_2 の下位側 $n/2$ ビットがセレクトされ、これにより $n/2$ ビットのデータを加算する加算器31, 32にはそれぞれ、 x_1, x_2 の下位側 $n/2$ ビット、 y_1, y_2 の下位側 $n/2$ ビットが入力され、加算器31, 32でそれぞれ x_1 (下位 $n/2$ ビット) + x_2 (下位 $n/2$ ビット), y_1 (下位 $n/2$ ビット) + y_2 (下位 $n/2$ ビット)の演算が行われる。

【0011】次にクロック1のタイミングで x_1 (下位 $n/2$ ビット) + x_2 (下位 $n/2$ ビット) および y_1 (下位 $n/2$ ビット) + y_2 (下位 $n/2$ ビット) によるキャリー信号 x_c, y_c がそれぞれキャリーレジスタ33, 34に入力され、また位相合わせレジスタ36, 37にそれぞれ X (下位側 $n/2$ ビット), Y (下位側 $n/2$ ビット)が入力され保持される。またこのクロック1のタイミングで、加算器31, 32に z_1, z_2 の下位 $n/2$ ビット、 y_1, y_2 の上位 $n/2$ ビットおよびキャリーセクタ41を経由してキャリー y_c が入力され、それぞれ z_1 (下位 $n/2$ ビット) + z_2 (下位 $n/2$ ビット), y_1 (上位 $n/2$ ビット) + y_2 (上位 $n/2$ ビット) + y_c の演算が行われる。

【0012】次にクロック2のタイミングで、 z_1 (下位 $n/2$ ビット) + z_2 (下位 $n/2$ ビット) によるキャリー信号 z_c がキャリーレジスタ35に入力され、また位相合わせレジスタ38, 39にそれぞれ Y (上位側 $n/2$ ビット)、 Z (下位側 $n/2$ ビット)が入力され保持される。また、このクロック2のタイミングで加算器31, 32に x_1, x_2 の上位 $n/2$ ビット、 z_1, z_2 の上位 $n/2$ ビットおよびキャリーセクタ40, 41を経由してキャリー x_c, z_c が入力され、それぞ

*れ x_1 (上位 $n/2$ ビット) + x_2 (上位 $n/2$ ビット) + x_c, z_1 (上位 $n/2$ ビット) + z_2 (上位 $n/2$ ビット) + z_c の演算が行われる。

【0013】更に、クロック3のタイミングで加算器31, 32から出力された X (上位 $n/2$ ビット), Z (上位 $n/2$ ビット)が、それぞれレジスタ42, 44に入力され、またこれとともに位相合わせレジスタ36, 37, 38, 39からレジスタ42, 43, 44にそれぞれ X (下位 $n/2$ ビット), Y (上位 $n/2$ ビット + 下位 $n/2$ ビット), Z (下位 $n/2$ ビット)が入力され、これによりレジスタ42, 43, 44にベクトル量 $C = (X, Y, Z)$ の各成分が形成される。

【0014】このように上記の本実施例では $n/2$ ビットの加算器31, 32を2個備えたものであり、付属回路の分を含めても前述した従来例の場合と比べIC化した際の面積が小さくなる。

【0015】また、ここでは $n/2$ ビットどおしの加算を行っているため、 n ビットどうしの加算を行う場合に比べて演算時のキャリーの伝播が速くなり、したがって高速の加算回路が実現できる。

【0016】

【発明の効果】以上説明したように本発明によれば、加算すべきベクトル量の各成分が n ビットで表現される場合に、 $n/2$ ビットどおしのデータを加算する複数の加算手段を備え、この加算手段を用いてまずベクトル量の各成分の下位側 $n/2$ ビットどおしの加算を行い、次に上位側 $n/2$ ビットどおしの加算を行うように構成したことにより、IC化した際に従来のものに比べて小面積で済み、しかも高速処理を行うことができる加算回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る加算回路のブロック図である。

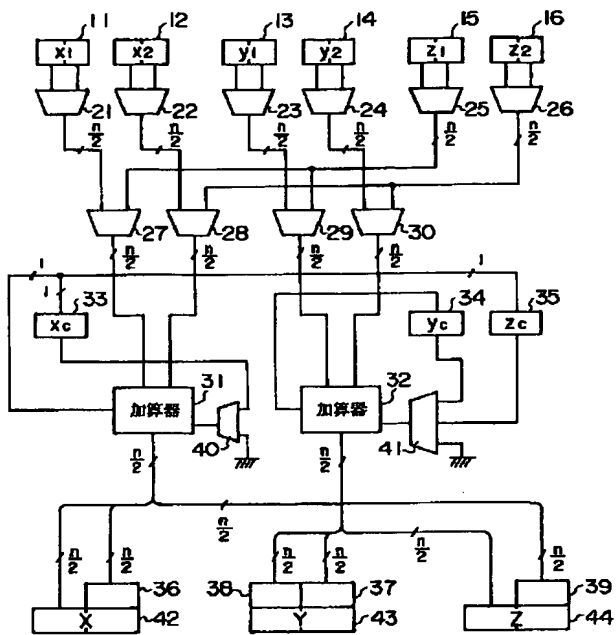
【図2】図1に示す加算回路のタイムチャートである。

【図3】従来の加算回路の一例を略示した図である。

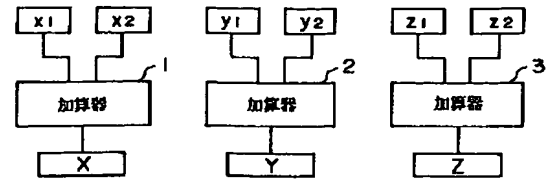
【符号の説明】

11～16	レジスタ
21～26	上位・下位切替セクタ
27～30	加算入力セクタ
31, 32	加算器
33～35	キャリーレジスタ
36～39	位相合わせレジスタ
40, 41	キャリーセクタ
42～44	レジスタ

【図1】



【図3】



【図2】

